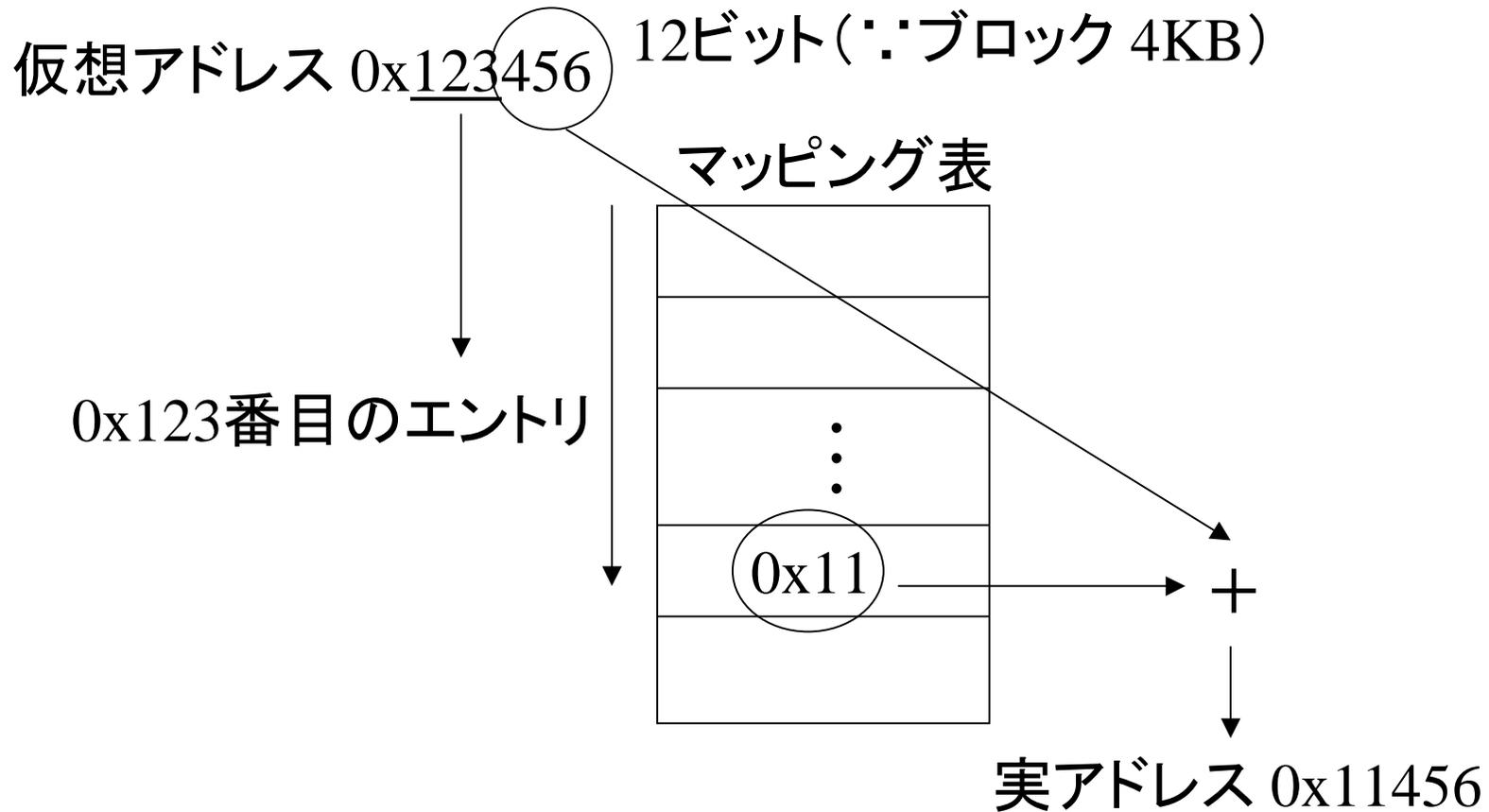


問2.11



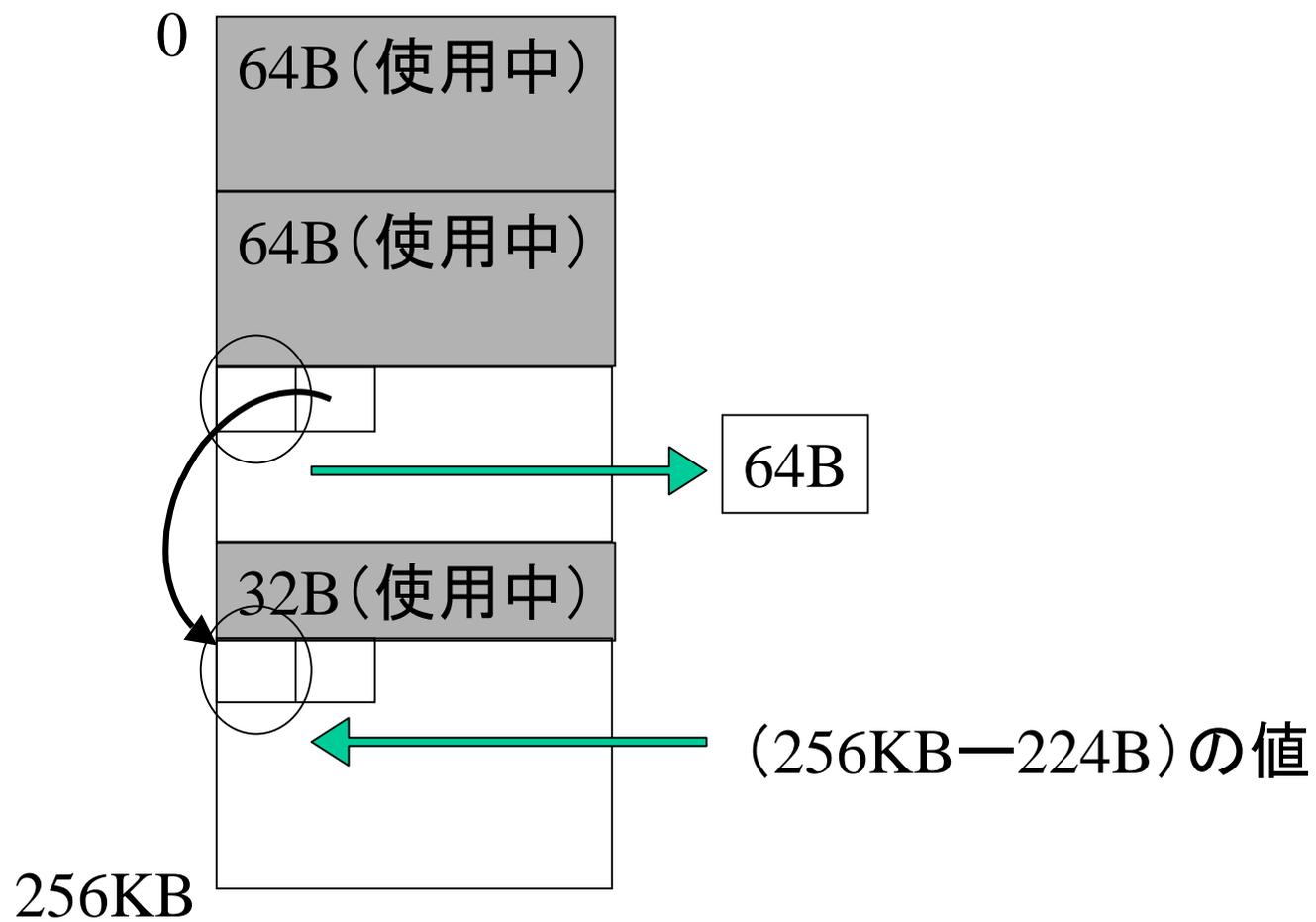
上図を基に、変換される様子を説明する。

(1) ブロックは4KBであるから、この仮想アドレスの下位12ビットを除くと0x123である。したがって、この仮想アドレスを含むブロックは、仮想メモリ空間の0x123番目のブロックである。このため、この仮想アドレスを含むブロックに関する情報は、マッピング表の0x123番目のエントリにあることになる。また、この仮想アドレスは、当該ブロック内でのオフセット位置が0x456である。

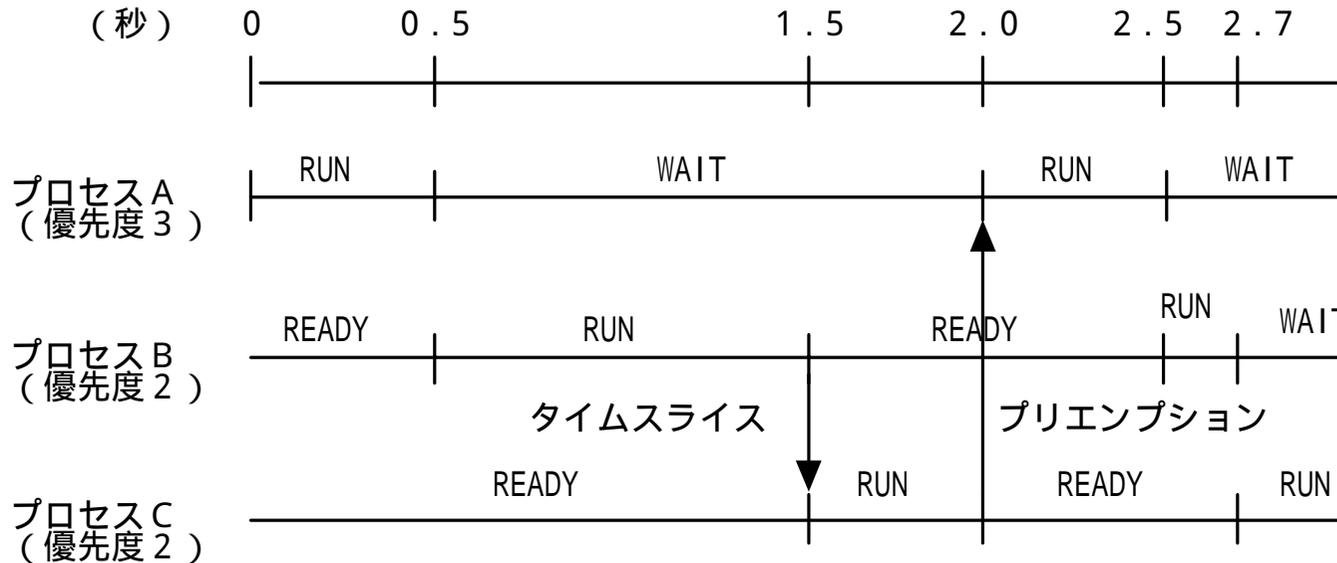
(2) マッピング表の0x123番目のエントリの内容は、0x11である。したがって、この仮想アドレスを含むブロックは、実メモリ空間の0x11番目のブロックである。

(3) したがって、実アドレスは0x11456となる。

問3.4



問4.4



上図を基に、各プロセスの様子を以下に説明する。

- (1) 最初に、優先度が高いプロセスAが0.5秒間走行する
- (2) プロセスAが入出力待ちでWAITになると、優先度2のREADYキューの先頭にあるプロセスBが走行する
- (3) プロセスBが1秒間走行すると、タイムスライスにより、プロセスBはREADYになり、プロセスCが走行する
- (4) プロセスAはWAIT開始から1.5秒に入出力待ちが解除されるため、このとき、プリエンプションにより、プロセスCはREADYになり、プロセスAが走行を開始する

補足：上図には、参考として、2秒以降の様子も記述した。プリエンプションによりプロセスCはREADYキューの最後に繋がれるため、2.5秒後にはプロセスBが走行する